PROJECT 2^{o} Κεφάλαιο 5^{o} (RABAEY)

Optimizing an inverter chain with Fan Out goal : minimize extra delay for given energy reduction

ΚΙΟΥΣΗΣ ΠΕΤΡΟΣ	Α.Μ. 4776
ΓΕΩΡΓΑΚΗΣ ΣΠΥΡΟΣ	Α.Μ. 4737

ΠΑΤΡΑ 11 – 7 – 2005

Digital Integrated Circuits – A Design Perspective 2/e

Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolić

Chapter 5

Design Project: Optimizing a Inverter Chain with Fanout
Goal: Minimize Extra Delay for Given Energy Reduction

Background Information

You are given technology parameters that are essential in propagation delay analysis. These parameters are extracted by curve fitting simulated results of an inverter delay in our 0.25µm technology, as shown in Fig. 1.

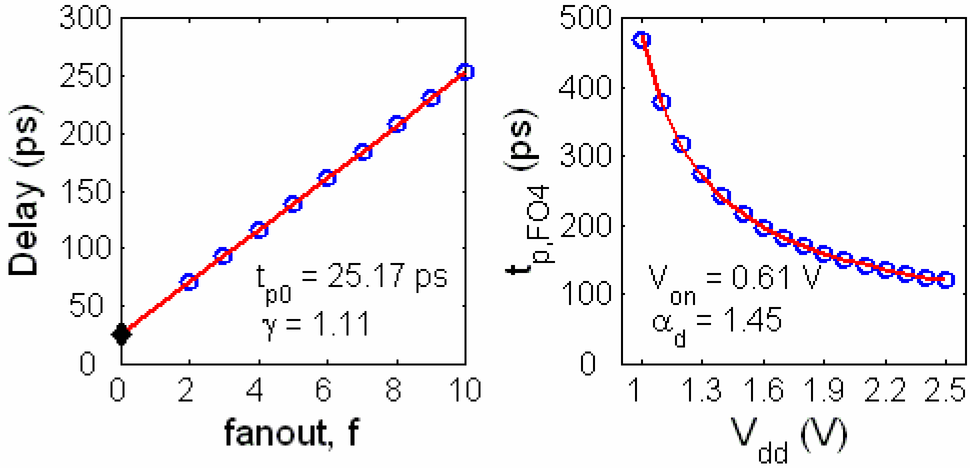


Figure 1: Extraction of delay parameters: (a) t_{p0}, γ, (b) V_{on}, α_d.
(W_p/W_n=2µ/1µ, L=0.25µ)

All parameters are extracted using the same test circuit as that given in Hw 5/Prob 4. (on a side note, values of t_{p0} and γ shown in Fig. 1 is the solution to this homework problem!) Parameters t_{p0} and γ will aid in calculation of the gate delay as given by:

$$t_p = t_{p0} \cdot \left(1 + \frac{f}{\gamma}\right) \tag{1}$$

where t_{p0} is the intrinsic delay of an inverter, f is the fanout, and $\gamma = C_{intrinsic}/C_{gate}$ is the ratio of the input intrinsic to the input gate capacitance.

Parameters V_{on} and α_d are intrinsically related, but not equal to the transistor threshold voltage and velocity saturation index. They are simply fitting parameters that provide the most accurate model of a FO4 inverter delay over a range of supply voltages. Fanout of four is chosen for calibration simply because it is the most typical fanout found in well-designed digital circuits. It also represents good average fanout, so we will use the same parameters for all other fanouts that we are going to encounter in this design project. Relationship between the propagation delay of a FO4 inverter and the power supply V_{dd} is given by:

$$t_p = K_d \cdot \frac{V_{dd}}{\left(V_{dd} - V_{on}\right)^{\alpha_d}} \tag{2}$$

where K_d is another fitting parameter, but it is not crucial for our problem setup. It lumps some technology parameters including linearized delay capacitance (similar to the one you had to determine in Hw 4/Prob 4). You will find equation (2) useful in V_{dd}-based optimizations.

Phase 1: Circuit Optimization (1 week)

You have to optimize circuit given in Fig. 2:

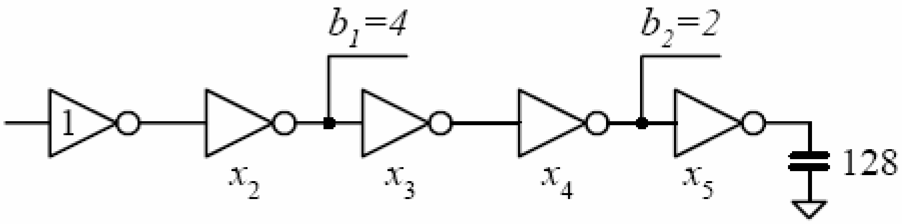


Figure 2: Some group-specific inverter-based topology.

First, find sizes x_2-x_5 of all gates to achieve minimum delay D_{min} from the input to output. What is the value of D_{min} normalized to t_{p0}? What is the energy E_{ref} that corresponds to the minimum delay? For energy calculation, assume $V_{DD} = V_{DD}^{nom} = 2.5V$. Express E_{ref} in terms of energy required to drive the input gate capacitance $C_{gate} = 1$ (call this number "1", it is simply a reference case, you do not need value in fF in your calculations) of the first gate in the chain. Now, you obtained reference point (D_{min}, E_{ref}) for your optimizations.

Assume now that you have to reduce energy by x% {choose from -20%, -30% and -40%}. For the newly specified energy, perform following three optimizations in order to minimize delay penalty of the reference design.

a) **Gate size (W) optimization**

   What are the new sizes of all the gates x_2-x_5?

   What is the achieved percent delay penalty, $DP_W = 100(D_W/D_{min} - 1)$?

b) **Supply voltage (Vdd) optimization**

   What is the value of the new supply voltage, V_{DD}^{opt}?

   What is the achieved percent delay penalty, $DP_{Vdd} = 100(D_{Vdd}/D_{min} - 1)$?

c) **Combined size and supply voltage (W-Vdd) optimization**

   What are the new sizes of all the gates x_2-x_5?

   What is the value of the new supply voltage, V_{DD}^{opt}?

   What is the achieved percent delay penalty, $DP_{W\text{-}Vdd} = 100(D_{W\text{-}Vdd}/D_{min} - 1)$?

Clearly show your design methodology and summarize all results in following Table:

ΛΥΣΗ

C_g=1(χωρίς μονάδες) άρα ότι υπολογίσουμε δεν θα έχει μονάδες !!

Για να προσδιορίσουμε το μέγεθος των αντιστροφέων, έτσι ώστε η καθυστέρηση ανάμεσα στην είσοδο και στην έξοδο να είναι ελάχιστη εξάγουμε την παρακάτω εξίσωση από το κύκλωμα :

$$\frac{C_{g,2}}{C_{g,1}} = \frac{5C_{g,3}}{C_{g,2}} = \frac{C_{g,4}}{C_{g,3}} = \frac{3C_{g,5}}{C_{g,4}} = \frac{128C_{g,1}}{C_{g,5}} = f \qquad (1)$$

f = 4.53

και προκύπτει ότι :

$$\begin{aligned} C_{ext} &= 128 \\ C_{g,5} &= 28.04 \\ C_{g,4} &= 18.57 \\ C_{g,3} &= 4.1 \\ C_{g,2} &= 4.53 \\ C_{g,1} &= 1 \end{aligned} \qquad (2)$$

Η ολική καθυστέρηση μιας αλυσίδας αντιστροφέων δίνεται από τον τύπο:

$$t_p = \sum_{j=1}^{N} t_{p,j} = t_{p,0} \sum_{j=1}^{N} \left(1 + \frac{C_{g,j+1}}{\gamma C_{g,j}}\right) = t_{p,0} \sum_{j=1}^{N} \left(1 + \frac{f_j}{\gamma}\right)$$

,όπου $C_{g,N+1} = C_L$

άρα για το κύκλωμά μας ισχύει ότι:

$$t_p = t_{p,0}[(1+\frac{C_{g,2}}{\gamma C_{g,1}}) + (1+\frac{5C_{g,3}}{\gamma C_{g,2}}) + (1+\frac{C_{g,4}}{\gamma C_{g,3}}) + (1+\frac{3C_{g,5}}{\gamma C_{g,4}}) + (1+\frac{C_{ext}}{\gamma C_{g,5}})]$$

$$t_p = t_{p,0}[(1+\frac{1}{\gamma}) + (1+\frac{f}{\gamma}) + (1+\frac{f}{\gamma}) + (1+\frac{f}{\gamma}) + (1+\frac{f}{\gamma})] \qquad (3)$$

αντικαθιστώντας τώρα τα αποτελέσματα της εξίσωσης (1) και γνωρίζοντας ότι **γ = 1.11** έχουμε :

$$\frac{t_p}{t_{p,0}} = [(1+\frac{1}{1.11}) + (1+\frac{4.53}{1.11}) + (1+\frac{4.53}{1.11}) + (1+\frac{4.53}{1.11}) + (1+\frac{4.53}{1.11})] = D_{\min}$$

άρα $\mathbf{D_{min} = 22.23}$ μας δείχνει την <u>ελάχιστη καθυστέρηση</u> ανάμεσα στην είσοδο και την έξοδο!

***D_{min} -> η ελάχιστη καθυστέρηση κανονικοποιημένη στο t_{p0} δηλ $D_{\min} = \frac{t_p}{t_{p,0}}$

Η κατανάλωση ενέργειας για μια μετάβαση της εισόδου δίνεται από την παρακάτω σχέση ,

$$E = V_{dd}{}^2 \cdot C_{tot}$$

όπου C_{tot} είναι η ολική χωρητικότητα του κυκλώματος
και από την (1) για f = 4.53 ,γ = 1.11 και V_{dd}^2 = 2.5 V παίρνουμε ότι:

$$E = V_{dd}{}^2 \cdot C_{tot} \Rightarrow$$
$$E = V_{dd}{}^2 \cdot [(C_{g,1}+\gamma C_{g,1}) + (C_{g,2}+\gamma C_{g,2}) + (C_{g,3}+\gamma C_{g,3}) + (C_{g,4}+\gamma C_{g,4}) + (C_{g,5}+\gamma C_{g,5}) + 128]$$
$$E = V_{dd}{}^2 \cdot [(1+\gamma)(C_{g,1}+C_{g,2}+C_{g,3}+C_{g,4}+C_{g,5}) + 128]$$
$$E = V_{dd}{}^2 \cdot C_{g,1} \cdot [(1+\gamma)(1+f+0.2f^2+0.2f^3+0.07f^4)+128] \qquad (4)$$
$$\mathrm{E} = 2.5^2 \cdot 249.75$$
$$\mathrm{E} = 1561$$

Για να υπολογίσουμε το E_{ref} θεωρούμε ότι V_{ref} = 2.5 Volt και **γ=1** και **f = 1**
Άρα έχουμε :

$$E_{ref} = V_{ref}{}^2 \cdot C_{tot} \Rightarrow$$
$$E_{ref} = V_{ref}{}^2 \cdot [(C_{g,1} + \gamma C_{g,1}) + (C_{g,2} + \gamma C_{g,2}) + (C_{g,3} + \gamma C_{g,3}) + (C_{g,4} + \gamma C_{g,4}) + (C_{g,5} + \gamma C_{g,5}) + 128]$$
$$E_{ref} = V_{ref}{}^2 \cdot [(1+\gamma)(C_{g,1} + C_{g,2} + C_{g,3} + C_{g,4} + C_{g,5}) + 128]$$
$$E_{ref} = V_{ref}{}^2 \cdot C_{g,1} \cdot [(1+\gamma)(1 + f + 0.2f^2 + 0.2f^3 + 0.07f^4) + 128]$$
$$E_{ref} = 2.5^2 \cdot [2 \cdot 2.47 + 128]$$
$$E_{ref} = 833.37$$

Αποφασίσαμε να μειώσουμε την ενέργεια E κατά 30%,
δηλ **E(-30%) = E΄ = 1092.7**

a) Gate size(W) optimization

Για E΄ = 1092.7 , V_{dd} = 2.5 V και γ = 1.11 βρίσκουμε ότι :

(4) =>

$$1092.7 = 2.5^2 \cdot 1 \cdot [(1+1.11)(1 + f + 0.2f^2 + 0.2f^3 + 0.07f^4) + 128] \Rightarrow$$
$$f = 3.3$$

Άρα από (3) $D_w = \frac{t_p'}{t_{p0}} = [(1+\frac{1}{\gamma}) + (1+\frac{f}{\gamma}) + (1+\frac{f}{\gamma}) + (1+\frac{f}{\gamma}) + (1+\frac{f}{\gamma})]$

και για f = 3.3 (και γ = 1.11) έχουμε :

D_w = 17.79

Άρα

$$DP_w = 100[(D_w / D_{\min}) - 1]\% = [(17.79/22.23) - 1] \approx -20\%$$

Συμπέρασμα :

Μειώνοντας το f (δηλαδή το sizing των αντιστροφέων έγινε από f = 4.53 => f = 3.3) και διατηρώντας σταθερή την ενέργεια Ε΄ και την τάση Vdd παρατηρούμε ότι η συνολική καθυστέρηση του κυκλώματος (DP_W) μειώθηκε (κατά 20%), γεγονός που ήταν αναμενόμενο!

b) Supply Voltage(V_{dd}) optimization

Για Ε΄ =1092.7, f = 4.53 και γ = 1.11 βρίσκουμε ότι :

(4) =>

$$1092.7 = V_{dd}{}^{2} \cdot 1 \cdot [(1+1.11)(1+ f + 0.2 f^{2} + 0.2 f^{3} + 0.07 f^{4}) + 128] \Rightarrow$$
$$V_{dd} = 2.1V$$

Άρα από τον τύπο :

$$D_{V_{dd}}' = \frac{V_{dd}'}{V_{dd}' - V_{TE}} \cdot [(1+\frac{1}{\gamma}) + (1+\frac{f}{\gamma}) + (1+\frac{f}{\gamma}) + (1+\frac{f}{\gamma}) + (1+\frac{f}{\gamma})]$$

έχουμε ότι :

$$D_{V_{dd}}' = \frac{2.1}{2.1-0.5} \cdot [(1+\frac{1}{1.11}) + (1+\frac{4.53}{1.11}) + (1+\frac{4.53}{1.11}) + (1+\frac{4.53}{1.11}) + (1+\frac{4.53}{1.11})]$$

$$D_{V_{dd}}' = 29.17$$

Άρα

$$DP_{V_{dd}} = 100[(D_{V_{dd}} / D_{\min}') - 1]\% = 100[(29.17/27.78) - 1]\% = +5\%$$

,όπου $\mathrm{D}_{\min}' = \dfrac{V_{dd}}{V_{dd} - V_{TE}} \cdot [(1+\frac{1}{\gamma}) + (1+\frac{f}{\gamma}) + (1+\frac{f}{\gamma}) + (1+\frac{f}{\gamma}) + (1+\frac{f}{\gamma})]$

$$\Rightarrow D_{min}' = \frac{2.5}{2.5-0.5} \cdot [(1+\frac{1}{1.11}) + (1+\frac{4.53}{1.11}) + (1+\frac{4.53}{1.11}) + (1+\frac{4.53}{1.11}) + (1+\frac{4.53}{1.11})]$$

$$\Rightarrow D_{min}' = 27.78$$

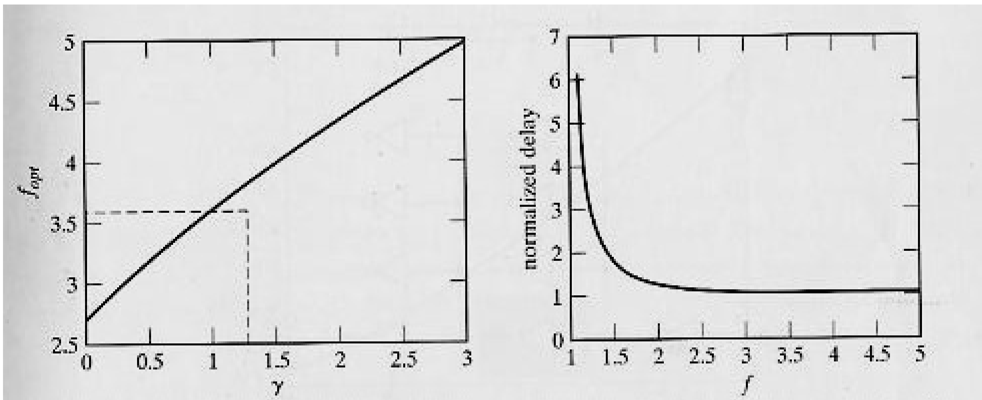
Συμπέρασμα :

Μειώνοντας την τάση τροφοδοσίας Vdd και διατηρώντας σταθερή την ενέργεια Ε΄ και το f (= 4.53) παρατηρούμε ότι η συνολική καθυστέρηση του κυκλώματος (DP_{Vdd}) αυξάνεται (κατά 5%), γεγονός που ήταν αναμενόμενο! Δηλ. το κύκλωμά μας γίνεται πιο αργό αν μειώσουμε την τάση V_{dd} και διατηρήσουμε σταθερά τα f, E.

c) Combined size and supply voltage (W - V_{dd}) optimization

Ο τρίτος τρόπος είναι αν μειώσουμε το συνδυασμό των f και V_{dd}!!

Σύμφωνα με τον RABAEY η παρακάτω γραφική παράσταση μας δείχνει το optimum effective fan-out (f_{opt}) που ισχύει σε μια αλυσίδα αντιστροφέων, συναρτήσει του γ.



(a) Optimum effective fan-out f (or inverter scaling factor) as a function of the self-loading factor γ in an inverter chain.

(b) Normalized propagation delay ($t_p/(t_{popt})$) as a function of the effective fan-out f for γ = 1.

Figure 5-21 Optimizing the number of stages in an inverter chain.

Για <u>γ = 1.11</u> (από τα δεδομένα του προβλήματος) το <u>f_{opt} = 3.55</u> (από γραφική) οπότε η (4) γίνεται: :

$$1092.7 = V_{dd}^{\ 2} \cdot 1 \cdot [(1+\gamma)(1+\ f_{\mathrm{opt}} + 0.2\, f_{\mathrm{opt}}^{\ 2} + 0.2\, f_{\mathrm{opt}}^{\ 3} + 0.07\, f_{\mathrm{opt}}^{\ 4}) + 128] \Rightarrow$$
$$1092.7 = V_{dd}^{\ 2} \cdot 1 \cdot [(1+1.11)(1+3.55+0.2\cdot 3.55^2 + 0.2\cdot 3.55^3 + 0.07\cdot 3.55^4) + 128]$$
$$V_{dd} = 2.43V$$

και

$$\mathrm{D}_{\mathrm{W\text{-}V_{dd}}} = \frac{V_{dd}\,'}{V_{dd}\,' - V_{TE}} \cdot [(1+\frac{1}{\gamma}) + (1+\frac{f_{\mathrm{opt}}}{\gamma}) + (1+\frac{f_{\mathrm{opt}}}{\gamma}) + (1+\frac{f_{\mathrm{opt}}}{\gamma}) + (1+\frac{f_{\mathrm{opt}}}{\gamma})]$$
$$\mathrm{D}_{\mathrm{W\text{-}V_{dd}}} = \frac{2.43}{2.43-0.5} \cdot [(1+\frac{1}{\gamma}) + (1+\frac{3.55}{\gamma}) + (1+\frac{3.55}{\gamma}) + (1+\frac{3.55}{\gamma}) + (1+\frac{3.55}{\gamma})]$$
$$\mathrm{D}_{\mathrm{W\text{-}V_{dd}}} = 1.26 \cdot 18.7 = 23.56$$

άρα

$$\mathrm{DP}_{\mathrm{W\text{-}V_{dd}}}1 = 100[(D_{\mathrm{W\text{-}V_{dd}}} / D_{\min}\,') - 1]\% = 100[(23.56/27.78) - 1]\% = -15.2\%$$

Συμπέρασμα :

Μειώνοντας την τάση τροφοδοσίας Vdd (από 2.5V σε 2.43V) και το f (από 4.53 σε 3.55=f_{opt}) και διατηρώντας σταθερή την ενέργεια E΄ παρατηρούμε ότι η συνολική καθυστέρηση του κυκλώματος ($DP_{W\text{-}Vdd}$) μειώνεται (κατά 15.2%).

Σημείωση : σύμφωνα με τη θεωρία του βιβλίου, μια καλή επιλογή και κοινή πρακτική είναι να θεωρήσουμε f = 4. Παρόλο που η τιμή αυτή του f είναι μεγαλύτερη από το f_{opt} = 3.55 που βρήκαμε πριν, η καθυστέρηση δεν επηρεάζεται πολύ και πετυχαίνουμε χαμηλότερη V_{dd}. (δηλ. για f = 4 έχουμε : V_{dd} = 2.28V και $DP_{W\text{-}Vdd}$2 = -7.74%)

Αποτελέσματα για ενέργεια E(-30%)= E΄ = 1092.7

Dmin (tp0) = 22,23		**Eref** = 833,37	

	DP(%)	Vdd opt	f	X2	X3	X4	X5
Reference	0%	2.5V	4,53	4,53	4,1	18,6	28,04
W	-20	2.5V	3,3	3,3	2,2	7,2	8,3
Vdd	5	2.1V	4,53	4,53	4,1	18,6	28,04
W-Vdd1	-15,2	2,43	3.55	3.55	2.52	8.95	11.12
W-Vdd2	-7,74	2,28	4	4	3,2	12,8	17,92