

ΤΕΧΝΟΛΟΓΙΑ ΠΡΟΗΓΜΕΝΩΝ ΨΗΦΙΑΚΩΝ
ΚΥΚΛΩΜΑΤΩΝ ΚΑΙ ΣΥΣΤΗΜΑΤΩΝ

PROJECT

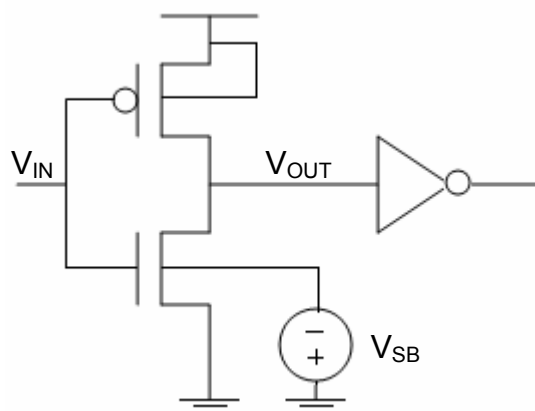
ΠΡΟΒΛΗΜΑ 5.10 ΑΠΟ ΤΟ
ΒΙΒΛΙΟ ΤΟΥ ΡΑΒΑΕΥ

*“ΑΝΑΛΥΣΗ ΣΥΜΠΕΡΙΦΟΡΑΣ
ΕΝΟΣ ΑΝΤΙΣΤΡΟΦΕΑ”*

Καλόγηρος Κωνσταντίνος (4760)
Σχοινιανάκης Δημήτριος (4853)

ΔΕΔΟΜΕΝΑ ΠΡΟΒΛΗΜΑΤΟΣ

Για το πρόβλημα αυτό υποθέτουμε τα παρακάτω δεδομένα για τον αντιστροφέα του σχήματος:



$V_{DD}=2.5\text{ V}$, $W_p/L=1.25/0.25$,
 $W_n/L=0.375/0.25$, $L=L_{eff}=0.25\ \mu\text{m}$,
 $C_L=C_{inv-gate}$, $k'_n=115\ \mu\text{A/V}^2$,
 $k'_p=30\ \mu\text{A/V}^2$, $V_{tn0}=|V_{tp0}|=0.4\text{ V}$,
 $\lambda=0\text{ V}^{-1}$, $\gamma=0.4$, $2|\phi_f|=0.6\text{ V}$,
 $t_{ox}=58\text{ \AA}$ και $V_{SB}=0\text{ V}$ για όλα τα
 ερωτήματα εκτός από το (6).

Επίσης υποθέτουμε το παρακάτω μοντέλο για τα transistor από το SPICE:

NMOS: $CGD0=3.11\ 10^{-10}$, $CGS0=3.11\ 10^{-10}$, $CJ=2.02\ 10^{-3}$, $CJSW=2.75\ 10^{-10}$
PMOS: $CGD0=2.68\ 10^{-10}$, $CGS0=2.68\ 10^{-10}$, $CJ=1.93\ 10^{-3}$, $CJSW=2.23\ 10^{-10}$

Ερώτημα 1.

Ποιά είναι η τάση switching threshold V_m για τον αντιστροφέα;

Με χρήση του τύπου 5.5 του βιβλίου έχουμε ότι:

$$V_m = \frac{\left(V_{Tn} + \frac{V_{DSATn}}{2} \right) + \left(V_{DD} + V_{Tp} + \frac{V_{DSATp}}{2} \right)}{1+r} \quad (1)$$

$$\text{με } r = \frac{k_p \cdot V_{DSATp}}{k_n \cdot V_{DSATn}} \text{ και } k_p = k'_p \cdot \left(\frac{W}{L} \right)_p, \quad k_n = k'_n \cdot \left(\frac{W}{L} \right)_n \quad (2)$$

Πρέπει να υπολογίσουμε τις τιμές των τάσεων V_{Tn} και V_{Tp} . Επειδή ισχύει ότι $V_{SB}=0$ έχουμε ότι :

$$\begin{aligned} V_{Tn} &= V_{Tn0} = 0.4\text{V} \\ V_{Tp} &= V_{Tp0} = -0.4\text{V} \end{aligned} \quad (3)$$

Από τις 1, 2, 3 λύνουμε την (1) ως προς V_m και παίρνουμε τη λύση για τη V_m .
 Είναι τελικά :

$$V_m = 1.23\text{V}$$

Ερώτημα 2.

Ποια είναι η effective load capacitance του αντιστροφέα; (Υποθέστε ότι $\lambda = 0.125 \mu\text{m}$ και ότι η προέκταση source/drain είναι 5λ για το PMOS. Για το NMOS υποθέστε ότι η περιοχή ένωσης source/drain είναι 5λ x 5λ).

Capacitor	Expression	Value(fF) (H to L)	Value(fF) (L to H)
C_{gd1}	$2CGDO_n W_n$	0.23	0.23
C_{gd2}	$2CGDO_p W_p$	0.67	0.67
C_{db1}	$K_{eqn} AD_n CJ + K_{eqsw} PD_n CJSW$	0.88	1.19
C_{db2}	$K_{eqp} AD_p CJ + K_{eqswp} PD_p CJSW$	1.57	1.17
C_{g3}	$(CGDO_n + CGSO_n)W_n + C_{ox} W_n L_n$	0.79	0.79
C_{g4}	$(CGDO_p + CGSO_p)W_p + C_{ox} W_p L_p$	3.54	3.54
C_w	From extraction	0.12	0.12
C_L	Σ	8.37	7.71

Τη χωρητικότητα C_w την υπολογίσαμε με χρήση του layout που υπάρχει στο βιβλίο στο σχήμα 5-15 και χρησιμοποιώντας τις τιμές για το λ που δίνεται στο πρόβλημα.

Ερώτημα 3.

Να υπολογιστούν οι χρόνοι t_{PHL} , t_{PLH} υποθέτοντας ότι $C_{Leff} = 6.5 \text{ fF}$.

Οι τύποι που υπολογίζουν τους ζητούμενους χρόνους έχουν ως εξής:

$$t_{PLH} = 0.69 \cdot R_{eq(p)} \cdot C_L$$

$$t_{PHL} = 0.69 \cdot R_{eq(n)} \cdot C_L$$

Από τον πίνακα 3-3 παίρνουμε τις τιμές για τις ισοδύναμες αντιστάσεις για τεχνολογία 0.25 μm και τάση τροφοδοσίας 2.5 V. Τελικά παίρνουμε ότι:

$$t_{PLH} = 0.69 \cdot R_{eq(p)} \cdot C_L = 0.69 \cdot 31 \cdot \frac{0.25}{1.25} \cdot 6.5 = 27.8 \text{ ps}$$

$$t_{PHL} = 0.69 \cdot R_{eq(n)} \cdot C_L = 0.69 \cdot 13 \cdot \frac{0.25}{0.375} \cdot 6.5 = 38.87 \text{ ps}$$

Ερώτημα 4.

Υπολογίστε το λόγο (W_p/W_n) ώστε να ισχύει $t_{PHL} = t_{PLH}$

Εξισώνοντας τις εξισώσεις του ερωτήματος 3 για τους χρόνους t_{PHL} και t_{PLH} παίρνουμε:

$$\begin{aligned} t_{PLH} = t_{PHL} &\Rightarrow 0.69 \cdot R_{eq(p)} \cdot C_L = 0.69 \cdot R_{eq(n)} \cdot C_L \Rightarrow \\ &\Rightarrow R_{eq(p)} = R_{eq(n)} \Rightarrow 31 \cdot \frac{L}{W_p} = 13 \cdot \frac{L}{W_n} \Rightarrow \frac{W_p}{W_n} = \frac{31}{13} \end{aligned}$$

Ερώτημα 5.

Έστω ότι αυξάνουμε τα πλάτη των transistors για να μειώσουμε τους χρόνους t_{PHL} και t_{PLH} . Καταφέρνουμε μία καλή μείωση στους χρόνους; Αιτιολογήστε

Τρεις παράγοντες συνεισφέρουν στο μέγεθος της χωρητικότητας φορτίου: η εσωτερική χωρητικότητα διάχυσης της πύλης, η χωρητικότητα διασυνδέσεων και η ικανότητα οδήγησης. Με προσεκτική σχεδίαση πετυχαίνουμε τη μείωση των δύο πρώτων χωρητικοτήτων.

Αυξάνοντας το πλάτος των transistors μπορούμε να πετύχουμε μείωση των καθυστερήσεων αλλά χρειάζεται προσοχή καθώς αυξάνουμε το μέγεθος. Ο λόγος είναι ότι αυξάνοντας τα πλάτη αυξάνεται και η χωρητικότητα διάχυσης και κατ' επέκταση η C_L . Για την ακρίβεια μόλις η χωρητικότητα διάχυσης αρχίζει να υπερισχύει της χωρητικότητας διασυνδέσεων και την ικανότητα οδήγησης η αύξηση του μεγέθους παύει να μειώνει τις καθυστερήσεις και απλά αυξάνει την area. Αυτό το φαινόμενο λέγεται self-loading.

Ερώτημα 6.

Υποθέστε ότι $V_{SB} = 1V$. Ποιες είναι οι τιμές των V_{tn} , V_{tp} , V_m . Πώς επηρεάζει αυτό τη C_{Leff} ;

Με χρήση του παρακάτω τύπου υπολογίζουμε τη νέα τιμή της V_{Tn} :

$$V_T = V_{T0} + \gamma \cdot \left(\sqrt{|-2 \cdot \phi_f| + V_{SB}} \right) - \sqrt{|2 \cdot \phi_f|}$$

Σημειώνουμε ότι η V_{Tp} δεν αλλάζει καθώς η V_{SB} εφαρμόζεται μόνο στο NMOS transistor. Έχουμε λοιπόν ότι:

$$V_{Tn} = 0.66V$$

$$V_{Tp} = -0.4V$$

Και με χρήση της σχέσης (1) βρίσκουμε τελικά ότι:

$$V_m = 1.54V$$

Αλλάζοντας τη τιμή της V_{SB} επηρεάζονται οι τιμές V_{low} , V_{high} . Για τη μετάβαση από **high to low** έχουμε για το **NMOS**:

$$\begin{aligned} V_{low} &= -0.25 \text{ V} \\ V_{high} &= -1.5 \text{ V} \end{aligned}$$

Για τη μετάβαση από **low to high** έχουμε :

$$\begin{aligned} V_{low} &= 1 \text{ V} \\ V_{high} &= -0.25 \text{ V} \end{aligned}$$

Αντίστοιχα για μετάβαση **high to low** για το **PMOS** είναι:

$$\begin{aligned} V_{low} &= 1 \text{ V} \\ V_{high} &= -0.25 \text{ V} \end{aligned}$$

και για τη μετάβαση από **low to high** είναι

$$\begin{aligned} V_{low} &= -0.25 \text{ V} \\ V_{high} &= -1.5 \text{ V} \end{aligned}$$

Αντικαθιστώντας τις τιμές αυτές στον τύπο 5.14 του βιβλίου για το K_{eq} παίρνουμε:

$$K_{eq} = \frac{-\phi_0^m}{(V_H - V_L)} \left[(\phi_0 - V_H)^{1-m} - (\phi_0 - V_L)^{1-m} \right]$$

NMOS

Μετάβαση High to Low:

$$\begin{aligned} \text{Bottom plate: } K_{eq} &= 0.51 \\ \text{Sidewall: } K_{eqsw} &= 0.53 \end{aligned}$$

Μετάβαση Low to High:

$$\begin{aligned} \text{Bottom plate: } K_{eq} &= 2.1 \\ \text{Sidewall: } K_{eqsw} &= 1.85 \end{aligned}$$

PMOS

Μετάβαση High to Low:

$$\begin{aligned} \text{Bottom plate: } K_{eq} &= 2.014 \\ \text{Sidewall: } K_{eqsw} &= 1.48 \end{aligned}$$

Μετάβαση Low to High:

$$\begin{aligned} \text{Bottom plate: } K_{eq} &= 0.733 \\ \text{Sidewall: } K_{eqsw} &= 0.812 \end{aligned}$$

Οι νέες χωρητικότητες φαίνονται στον παρακάτω πίνακα:

Capacitor	Expression	Value(fF) (H to L)	Value(fF) (L to H)
C_{gd1}	$2CGDO_n W_n$	0.23	0.23
C_{gd2}	$2CGDO_p W_p$	0.67	0.67
C_{db1}	$K_{eqn} AD_n CJ + K_{eqsw n} PD_n CJSW$	0.77	3
C_{db2}	$K_{eqp} AD_p CJ + K_{eqsw p} PD_p CJSW$	4	1.4
C_{g3}	$(CGDO_n + CGSO_n)W_n + C_{ox} W_n L_n$	0.79	0.79
C_{g4}	$(CGDO_p + CGSO_p)W_p + C_{ox} W_p L_p$	3.54	3.54
C_w	From extraction	0.12	0.12
C_L	Σ	10.12	9.75

Παρατηρούμε μια αξιοσημείωτη αύξηση στη loading capacitance λόγω της αύξησης της V_{SB} .